

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-76326
(P2002-76326A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 29/41		H 0 1 L 29/78	6 5 2 L 4 M 1 0 4
21/301			6 5 3 D
29/417			6 5 3 C
29/78	6 5 2		6 5 5 F
	6 5 3	29/44	B
審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願2000-267070(P2000-267070)

(22) 出願日 平成12年9月4日(2000.9.4)

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 伊藤 善孝

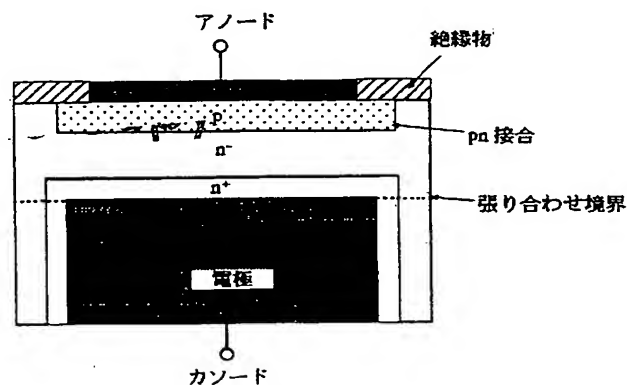
埼玉県飯能市南町10番13号新電元工業株式
会社工場内Fターム(参考) 4M104 CC01 CC03 DD26 FF02 FF27
GG02 GG09 GG18 HH20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】電流を半導体基板の表面と裏面の間に流す構造において、半導体基板の厚さを極限まで薄くして大口径のシリコン基板で低損失な半導体装置を実現する。

【解決手段】貼り合わせた半導体基板の一方の面に半導体装置を形成し、その反対裏面をエッチングすることで極めて薄いシリコン層の半導体装置が実現できる。表面に金属電極を形成し、厚く残されたデバイスの周辺のシリコン基板による額縁を有して分割されているため取り扱いが通常の半導体チップと同じように出来るほか、デバイス部のシリコン層が薄くできるので余分な活性層が大幅に減少し、デバイスの高速動作が可能でライフタイムキラーを必要とせずデバイスの耐圧設計に余裕をとる必要もない半導体装置を提供できる。



【特許請求の範囲】

【請求項1】半導体基板表面に形成された半導体装置の電流の方向が、半導体基板表面と裏面の間に流れるような構成の半導体装置において、表面に形成された半導体装置の裏面の一部を開口して前記半導体基板の厚さを薄くし、前記半導体基板の薄くした部分に金属電極を設け、前記厚さの薄い半導体基板は裏面に厚い基板を周辺部に備えて支持する額縁構造を有していることを特徴とする半導体装置。

【請求項2】請求項1の半導体装置において、半導体基板の裏面の開口した部分に導電性の金属を充填、もしくは金属層を設け金属電極とした事を特徴とする半導体装置。

【請求項3】請求項1の半導体装置において、半導体基板の薄くした部分の裏面もしくは開口部に不純物の拡散層を設けた後に、前記拡散層と電気的に接続するための金属電極を設けたことを特徴とする半導体装置。

【請求項4】請求項1の半導体装置において、半導体基板を分割してなる半導体チップが周辺を中央部より厚くした額縁構造部分で切断したことを特徴とする半導体装置。

【請求項5】請求項1の半導体装置において、半導体基板の薄くした部分の裏面にショットキー接合を設けたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は、電流を半導体基板の表面と裏面の間に流す半導体装置において、特に薄膜シリコン基板を用いた、低損失の半導体装置の電極構造に関するものである。

【0002】

【従来の技術】パワーMOSFET、IGBT、ダイオードは低損失を目的として様々な改良や提案がなされている。それぞれの基本的な概念図を以下に示す。図9に通常のpnダイオード(a)と高速ダイオード(b)を、図10に通常のパワーMOSFET(a)とその改良のトレンチMOSFET(b)を示す。図11は各種のタイプのIGBTで、図12はGTOである。電源の高効率化はスイッチング方式によるため、低損失のスイッチング用のパワーデバイスが切望されている。上記に示した種々のパワーデバイスが提案されている。

【0003】従来の改良は、前記に示した種々のデバイスのチャネル抵抗や活性層抵抗やJFET抵抗などの低減が中心的なものであった。活性層の厚さが100μm前後でも500V以上の逆耐圧は得られるが、現在の半導体工程では大口径化が急速に進展し、それに伴い半導体基板の厚さが飛躍的に厚くなってきている。

【0004】大口径半導体基板の通常工程は、厚い半導体基板で工程をスタートさせて半導体デバイスをすべて製作した後に、裏面を削ることで所望の厚さの半導

体デバイスを得ていた。半導体デバイス製造工程で処理できる半導体基板の厚さは200μmまでの厚さが限度で、それ以下の薄い半導体基板では機械的強度が極端に下がり破壊しやすくなるという欠点があった。

【0005】その上、半導体基板の大口径化は年々推進しているため薄膜の半導体デバイスを製作または処理することは益々困難な状況になってきている。実際、5インチφのシリコン基板を使用する場合、100μm前後のシリコン基板を処理することは事実上不可能となっている。

【0006】一般的に100μm以下の薄い活性層のシリコンデバイスを製作するには、厚い高濃度基板層を介して電極を付けることでシリコン基板の総厚さを200μm以上にして大口径基板でも処理できるようにしている。しかし、厚い高濃度基板層のためデバイスのスイッチング速度が遅くなってしまうのでライフタイムの制御が必要になり、電子線照射などの処理を行わなければならない。この処理はデバイスの逆耐圧を低下させるので耐圧設計上あらかじめ考慮しなければならないという問題があった。

【0007】

【本発明が解決しようとする課題】本発明は、上記問題を解決し電流を基板表面と裏面の間に流す、薄膜シリコン基板を使用した種々のパワーデバイスを通常の厚さの大口径化シリコン基板上に製作可能にする半導体装置を提供することにある。

【0008】

【課題を解決しようとする手段】上記目的を達成するためになされた請求項記載の発明は、面方位の異なる大口径のシリコン基板を貼り合わせた一方の面に半導体装置を形成し、他方の面の一部をエッチングでチップ周辺部を残して開口してそこに金属電極を設けることを特徴とし、電流を半導体基板の表面と裏面の電極の間に流すことにより半導体における損失を削減し、さらにチップ周辺部の基板が残されているため強度を保つことが可能で大口径のシリコン基板を通常の半導体製造工程で実施できる。

【0009】一般に面方位の異なる半導体基板を加熱処理により貼り合わせることは可能である。貼り合わせた状態で表面を研磨することで、表面側の面方位半導体基板の厚さを所望の厚さにすることにより極めて薄い100μm以下の半導体層の成形が可能である。裏面側の半導体基板の厚さを十分にとることにより総厚さで200μm以上にすることができ、大口径でも半導体製造工程で取り扱い可能な厚さを確保することができる。

【0010】半導体基板の表面を面方位(111)とし裏面を(100)もしくは(110)とすることで裏面を選択的にKOHなどのアルカリ溶液でエッチングし開口部を設けると、面方位の異なる(111)面が露出したところでそれ以上のエッチングは進まない。また面方位

10

20

30

40

50

3
の異なる半導体基板の間に酸化膜などの絶縁物を形成して貼り合わせることも可能であり、この場合も絶縁物が露出したところでエッチングは停止し、この部分の酸化膜などの絶縁物を除去し面方位(111)の裏面を露出することが可能である。

【0011】表面の面方位(111)半導体基板に半導体装置を形成し裏面の開口部に金属電極を蒸着、めっき、もしくはスパッタなどの方法で金属層の形成もしくは充填して設けることで表面と裏面の間に電流を流す半導体装置を形成することができ、薄いシリコン基板の半導体層をもつ半導体装置が形成できる。

【0012】薄いシリコン基板の裏面の露出した部分には不純物の拡散層を設けることも可能であり、そこに金属層の形成もしくは充填することが可能である。また別の例では、導電性の金属を蒸着、めっき、スパッタ等で充填し接続が可能であるが、導電性金属電極にかえてショットキー接合金属電極とすることもできる。

【0013】裏面の開口部の周辺に残された額縁状の半導体基板のあるところで切断し、半導体装置を分割して半導体チップとした後も、額縁状の半導体基板で薄い半導体層を補強しており、分割された半導体チップは通常の製造工程の半導体チップと同様に取り扱いができる。

【0014】デバイスのシリコン層が薄くできるので余分な活性層が大幅に減少し低損失化した上、デバイスの高速動作が可能で、さらにライフタイムキラーを必要としないためデバイスの耐圧設計で余裕をとる必要がなくなる。

【0015】

【発明の実施の形態】本発明は種々のパワーデバイスの低損失を目指すために、その半導体基板の一部の厚さを極限まで薄くすることで実現しようとするものである。以下にその例を示す。

【0016】図1、図2本発明の実施例を示すもので、面方位の異なる大口径の基板を貼り合わせることで裏面の電極形成部の半導体基板を薄くした本発明の実施例である。図1は貼り合わせ基板を用いたダイオードの実施例で、図2はIGBTの場合である。

【0017】面方位の異なる半導体基板を貼り合わせるにより、例えば、半導体デバイスが形成される表面基板に(111)面方位の半導体基板と、(100)の面方位を持つ裏面基板となる半導体基板を貼り合わせ、表面基板の厚さを研磨することで極めて薄い基板とすることができる。一方(100)の面方位を持つ裏面基板はウェハが製造工程で取り扱える厚さにして半導体基板の表面には種々の半導体が形成することができる。

【0018】裏面基板は(100)の面方位なのでKOHなどのアルカリ溶液による化学的な異方性エッチング法により面方位に依存してエッチングが可能になり、さらに表面基板は(111)なので自動的にこの面でのエッチングを停止する。極めて制御性がよく再現性のよい形

状が製作可能となる。

【0019】裏面基板に面方位(110)を用いれば裏面基板の異方性エッチングされる側壁が面方位(100)基板では裏面異方性エッチングされたと側壁が傾斜しているのに比べ、裏面補強基板に(110)の面方位基板を使用することで裏面異方性エッチングされた側壁が垂直になるので補強部となる面積が減り、デバイスの配置密度を上げることができる。高密度に半導体チップを配列する場合、チップの額縁部が少なくできるので有利である。

【0020】上記の方法で半導体基板表面に形成された半導体装置の反対面の一部を開口し、上記半導体基板の厚さより薄くした開口部裏面部分に電極を設けることにより、全体として極めて薄い半導体基板のパワーデバイスが製作可能となる。本発明によれば、大口径の基板から工程を始めても、半導体基板の厚さが100μm以下の半導体デバイスが容易に製作可能である。

【0021】図3に(111)と(100)の異なる面方位の基板を用い、トレンチIGBTを製作する例を示す。

20 (111)と(100)の面方位の異なるn型シリコン基板を貼り合わせ、(111)面方位基板を所定の厚さに減らす(a)。面方位(111)のシリコン基板にトレンチ加工し、所定のn-活性層を有するトレンチIGBTを製作する。(b)。

【0022】半導体装置を形成した後面方位(100)のシリコン基板をKOHなどのアルカリ溶液でエッチングを行うと面方位依存性があるので、酸化膜などをマスクにして裏面を選択的にエッチングし、面方位(111)のシリコン基板に到達すると自動的にエッチングが停止し、所望の厚さのIGBTが出現する(c)。

30 【0023】請求項2のように裏面の電極は開口部の全面に金属電極を充填してもよいし、また表面に金属層を設けることで電極とすることができる。図1では開口部のみ電極面が露出した図を示しているが、裏面全体に電極を形成することも可能である。

【0024】さらに、請求項3にあるように、エッチングされた裏面開口部の底部と側壁に必要な不純物を注入し、金属電極を形成することで個々のIGBTをシリコン基板全体に均一に製作できる。開口部が薄くなったIGBT部は、裏面の周辺部が厚いシリコン基板で補強され、工程を進めるのに十分な強度を持っているので、量産工程に耐えられる。

40 【0025】図4は(111)と(110)の異なる面方位の基板を用いてトレンチIGBTを製作する例を示している。図3の(100)基板では裏面異方性エッチングされたと側壁が傾斜しているのに比べ、裏面補強基板に(110)を使用することで裏面異方性エッチングされた側壁が垂直になるので補強部となる面積が減り、デバイスの配置密度を上げることができる。高密度に半導体チップを配列する場合、チップの額縁部が少なくできる

50

ので有利である。

【0026】図5は(111)と(100)の異なる面方位基板を用いて、裏面エッチング停止に絶縁膜を用いたトレンチIGBTを製作する例を示している。酸化膜などの絶縁膜を介して異なる面方位の基板を貼り合わせることで、SOI基板が製作可能である。(100)面方位のシリコン基板へのアルカリ溶液による化学的異方性エッチングは、絶縁膜で自動的に停止させることができるので、図3および図4ですでに説明した工程と同じような方法で、デバイスの周辺に厚いシリコン基板による補強の額縁を有した極めて薄いシリコン層厚さのパワーデバイスが製作可能である。

【0027】請求項4の発明は図6、図7に示すように本発明の半導体デバイスをウェハ上に配列と個々のチップへの分割法で実現される。貼り合わせた半導体基板の一方の面に半導体装置を製作し、その反対裏面をエッチングすることで薄膜の半導体装置が実現できる。裏面に金属電極を形成し、図7に示すように厚く残された基板でそれぞれの半導体デバイスに分割する。この構造は半導体デバイスの周辺部分が厚い基板の額縁構造で補強されているので、取り扱いが通常の半導体チップと同じように取り扱うことができる。

【0028】請求項5のように裏面の電極金属としてショットキー接合を形成する金属を用いて接続することも可能で、このようにすることでさらに低損失な半導体装置を提供できるのでその効果は大きい。

【0029】本発明の方法を用いることにより、ワンチップのブリッジダイオードを実現できる。図8は本発明によるワンチップブリッジダイオードの構成法を示す。上記の貼り合わせ基板を用いて各々のダイオードが電気的に絶縁できるようにエッチングした側面を絶縁物で被った後、電極を形成し配線を施すことにより、ダイオードを個々に分割することなくワンチップでブリッジ回路を構成できる。

【0030】上記の例ではダイオードについて示した

が、上記図8の方法で電気的に分離された島状半導体層の中に、一般的な半導体集積回路も容易に製作可能であり、基板の厚さ方向に電流が流れるパワーデバイスと集積回路との混成の集積回路が製作できる。

【0031】

【発明の効果】本発明の構造により、半導体基板の厚さを極限まで薄くできるので低損失半導体装置を容易に実現できると同時に、大口径のシリコン基板でもその厚さを薄くすることなく他の半導体装置と同じ生産設備で扱うことができるので、大量生産が可能になり安価な半導体装置を提供できるようになりその効果は大である。また、デバイス部のシリコン層が薄くできるので余分な活性層が大幅に減少しデバイスの高速度動作が可能になり、さらにライフタイムキラーを必要とせず、デバイスの耐圧設計で余裕をとる必要がなくなるのでその効果は大である。

【0032】

【図面の簡単な説明】

【図1】本発明によるダイオードの実施例

20 【図2】本発明によるIGBTの実施例

【図3】異なる面方位の基板(111)と(100)を用いた、トレンチIGBTの製作例

【図4】異なる面方位の基板(111)と(110)を用いた、トレンチIGBTの製作例

【図5】異なる面方位を持つSOI基板を用いたトレンチIGBTの製作例

【図6】本発明による半導体デバイスのウェハ上配列例

【図7】本発明による半導体デバイスのチップへの分割法

30 【図8】本発明によるワンチップブリッジダイオードの構成法

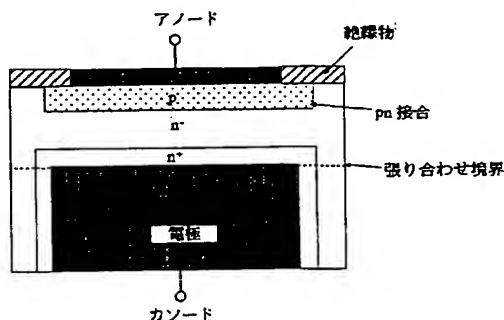
【図9】従来のダイオード

【図10】従来のMOSFET

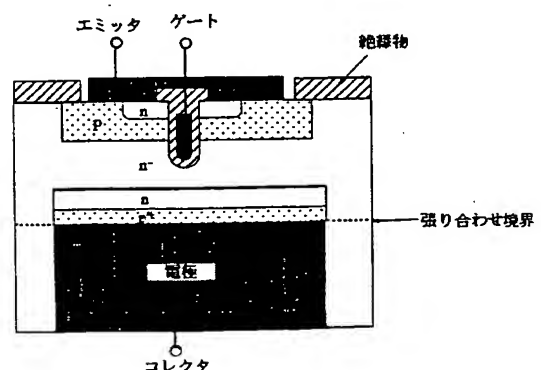
【図11】従来のIGBT

【図12】従来のGTO

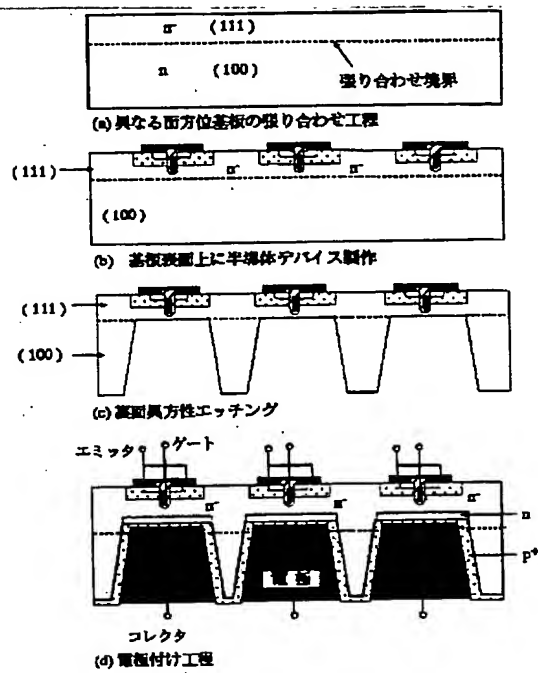
【図1】



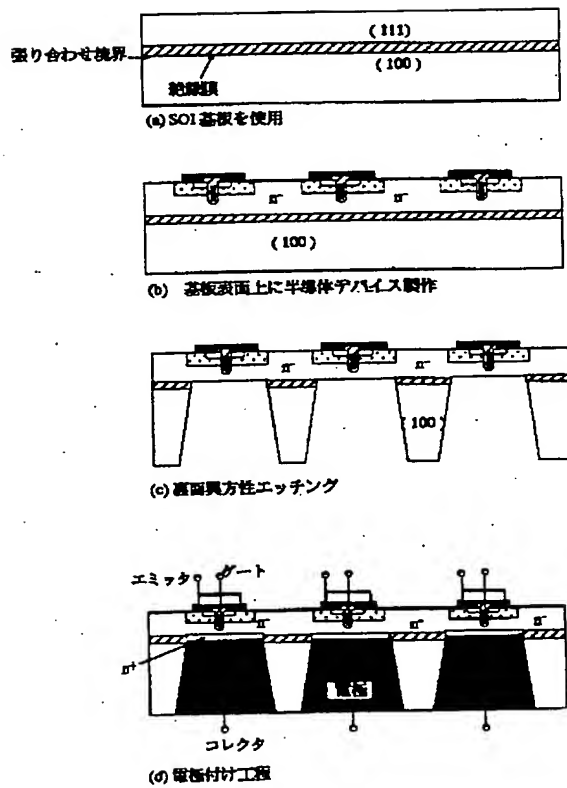
【図2】



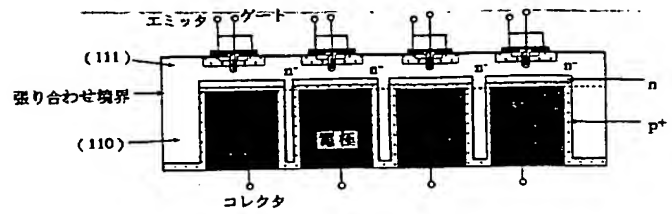
【図3】



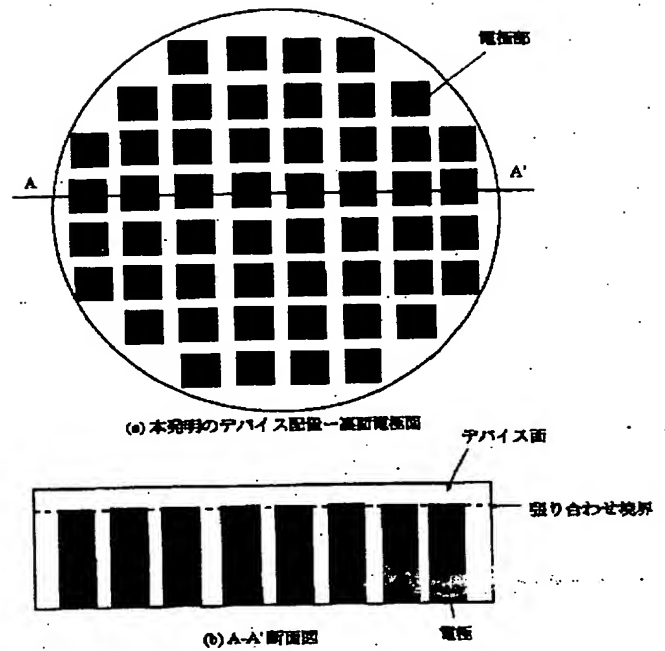
【図5】



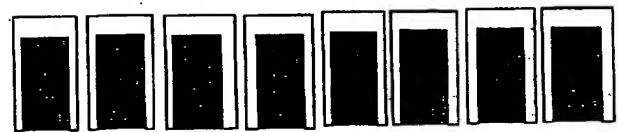
【図4】



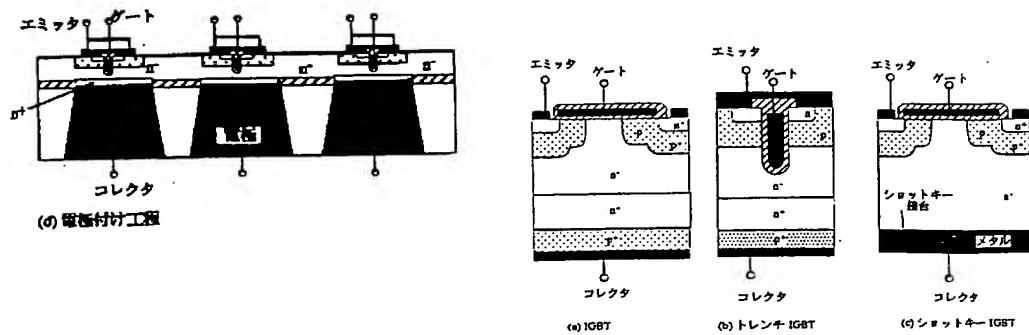
【図6】



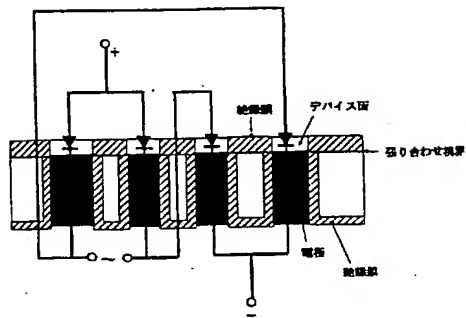
【図7】



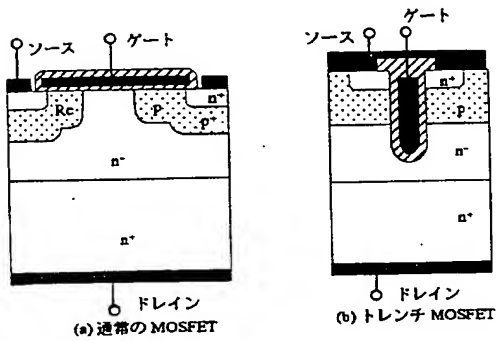
【図11】



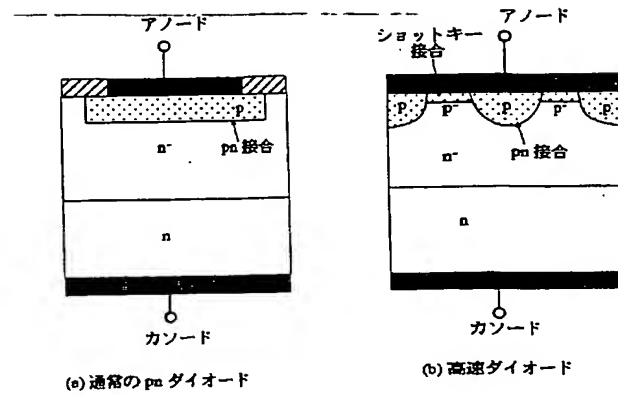
【図 8】



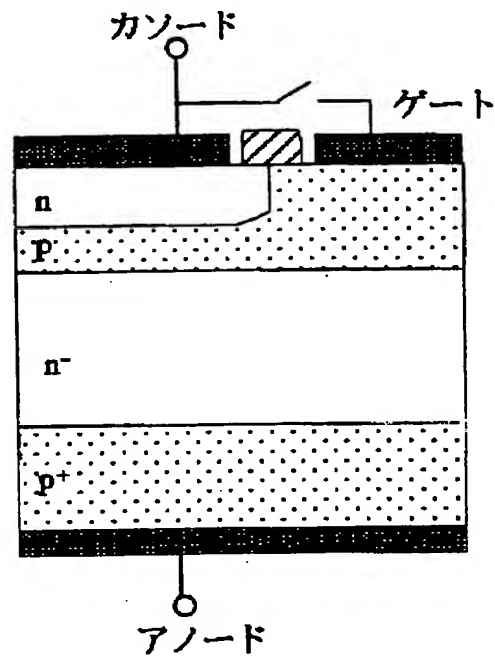
【図 10】



【図 9】



【図 12】



フロントページの続き

(51) Int. Cl.⁷

H01L 29/78

21/336

21/329

識別記号

653

655

FI

H01L 21/78

29/50

29/78

29/91

テマコード(参考)

L

B

658K

658G

A